

Architecture

Chapitre 3

Décodage des Instructions



Plan

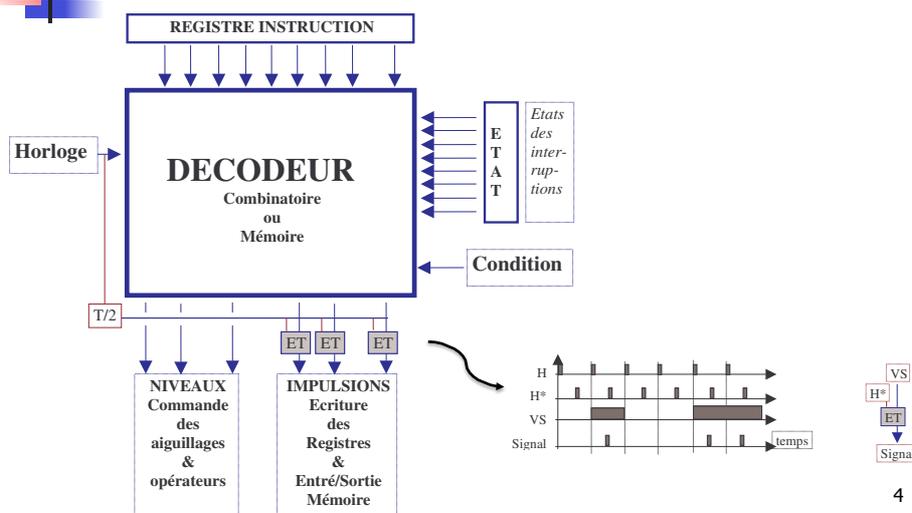
- Principe
- Décodeur « câblé »
- Décodeur « microprogrammé »
- Simulateur

Principe du décodage

- C'est l'opération qui consiste à produire les signaux nécessaires à la réalisation de chacune des instructions. Elle est effectuée par le Décodeur ou Séquenceur d'instruction.

3

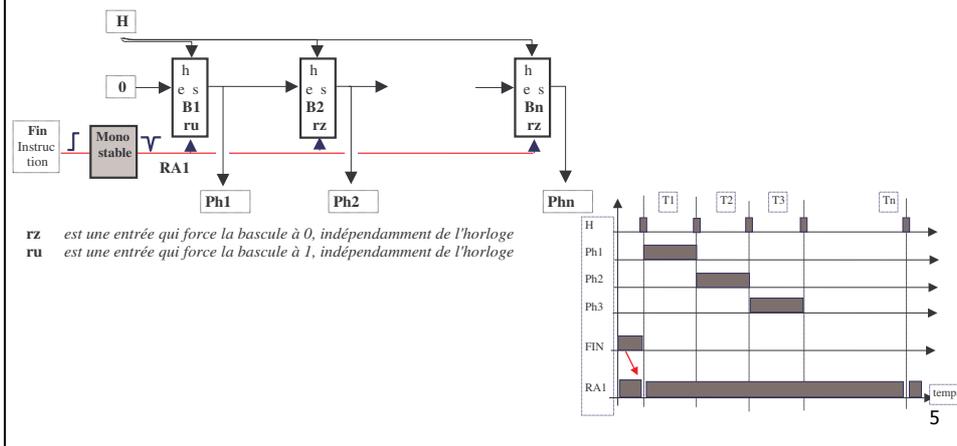
Schéma de Principe



4

Décodeur « Câblé »

Marquage du temps : Compteur de Phase



Pour chaque signal, on cherche pour quelle instruction, et à quelle date (Phi) il doit être vrai. (Phi est vrai pendant la ième période d'horloge).

ABCD	CodeOp
0000	NoOp
1000	Chargt A
0100	Rangt A
1100	BrIncond
etc...	

EF	ModeAdr
00	Immédiat
10	Direct
01	Indirect
11	Indexé
etc...	

Registre Instruction

ABCD EF xxxxxxxxxxxx
CodeOp MA suite

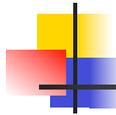
Instruction _ABCDEF	NoOP 0000 00	ChargtA - AdrImm 1000 00	ChargtA - AdrDir 1000 10	etc... etc...
PH1	COB1,XS,eRAM	COB1,XS,eRAM	COB1,XS,eRAM	etc...
PH2	sM	sM	sM	etc...
PH3	REB1,XS,eRI	REB1,XS,eRI	REB1,XS,eRI	etc...
PH4	COB1,XP1,eCO,Fin	RIB1,XS,EA	RIB1,XS,eRAM	
PH5		COB1,XP1,eCO,Fin	sM	
PH6			REB1,XS,eA	
PH7			COB1,XP1,eCO,Fin	
etc....				

Equations logiques des signaux

$$COB1 = PH1 + PH4.A\bar{B}\bar{C}\bar{D}\bar{E}\bar{F} + PH5.A\bar{B}\bar{C}\bar{D}\bar{E}\bar{F} + PH7.A\bar{B}\bar{C}\bar{D}\bar{E}\bar{F} + \text{etc.....}$$

$$eRAM = PH1 + PH4.A\bar{B}\bar{C}\bar{D}\bar{E}\bar{F} + \text{etc.....}$$

etc...

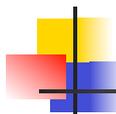


Décodeur « Câblé »

- Avantages
 - Rapidité car créé spécifiquement

- Inconvénients
 - « Difficulté » de mise au point
 - Flexibilité

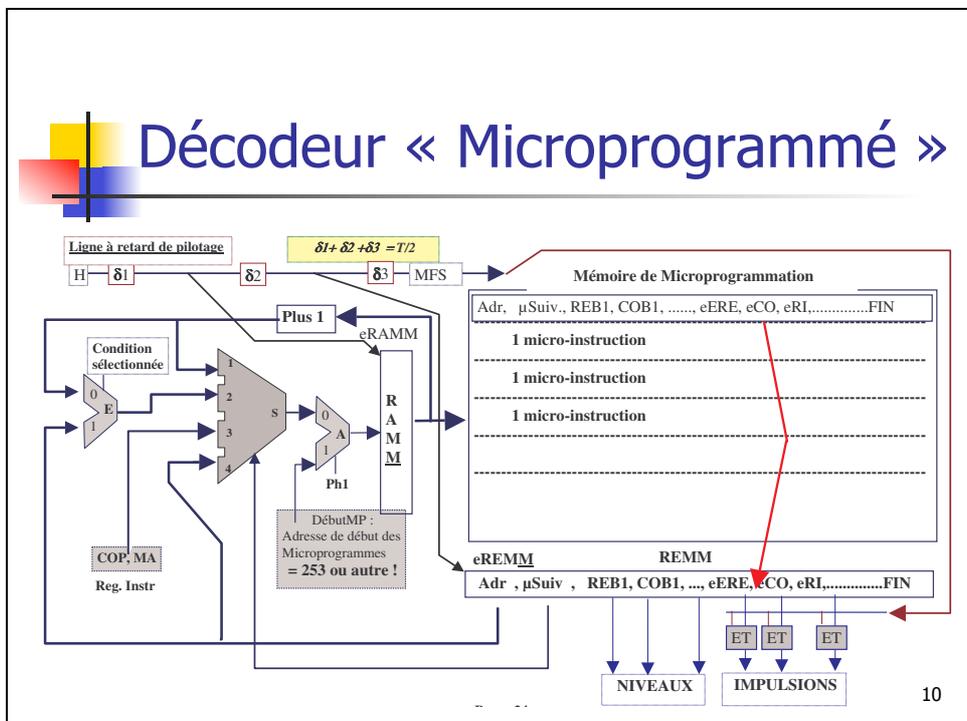
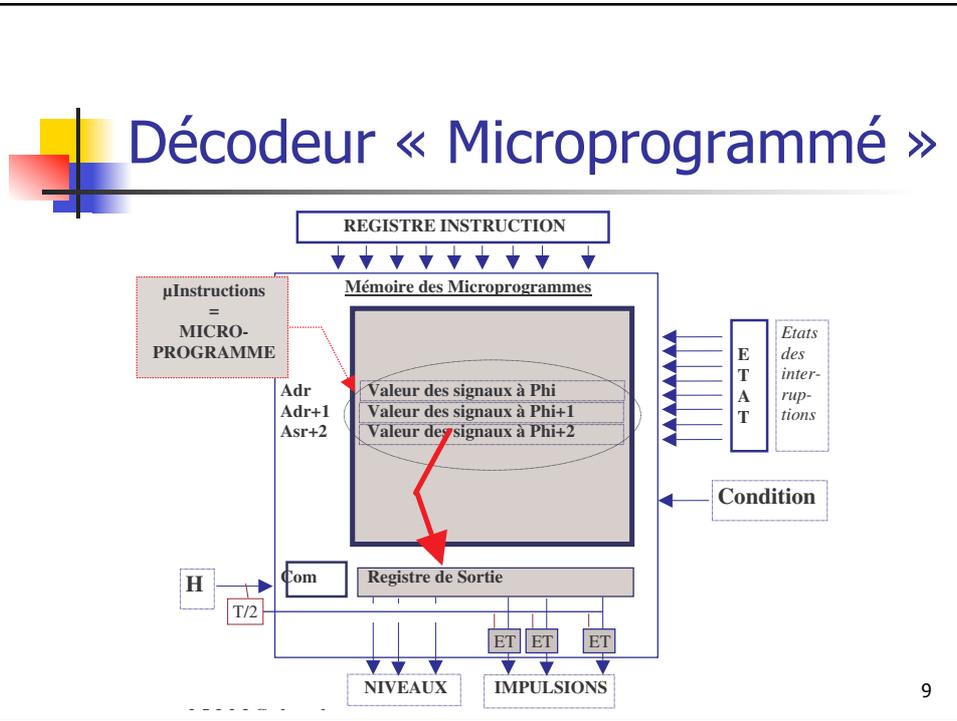
7

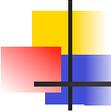


Décodeur « Microprogrammé »

- Principe
 - Une mémoire contient, pour chaque instruction et pour chaque phase de l'instruction, un mot dans lequel est codé les signaux à appliquer
 - Un nouveau mot est lu à chaque période d'horloge et sa sortie sur les lignes produit les signaux

8

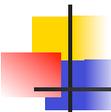




Décodeur « Microprogrammé »

- Avantages
 - Flexibilité
- Inconvénients
 - Surface
 - Performance

13

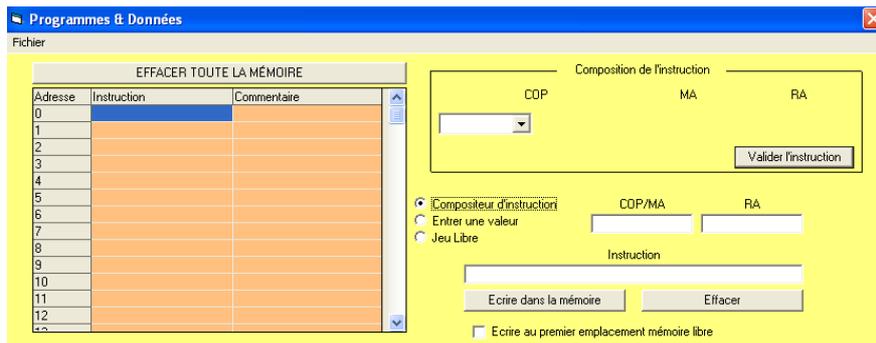


Simulateur

- Emulateur d'architecture
 - Mémoire Programme et donnée avec compositeur d'instruction
 - Unité de traitement : Architecture 3 bus
 - Séquenceur : Décodeur d'instruction microprogrammé

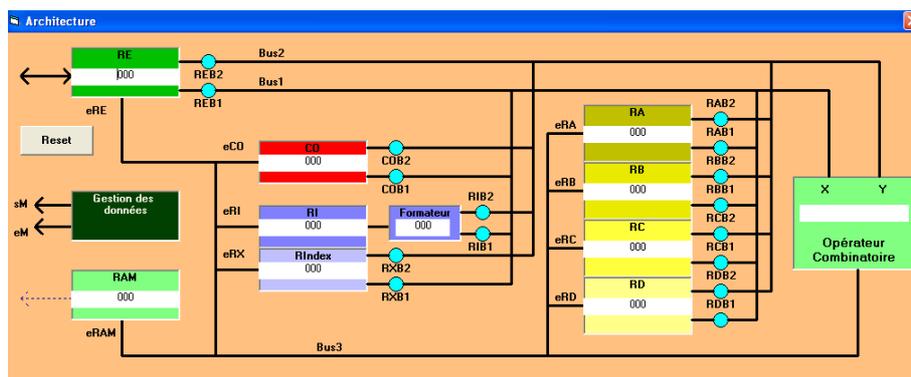
14

Mémoire Programme/Data



15

Unité de Traitement



16

Séquenceur

Séquenceur
Fichier Mode de fonctionnement Complément

Mode de fonctionnement sélectionné
Selectionnez un Mode de fonctionement dans le menu.

Mémoire des Microprogrammes
 En : MicroInstruction :

Adress	AdiSuiv	SeMS	Cond	FIN	ieM	ieM	Stop	COB1	ROB1	Rv
0	0000	0	0	0	0	0	0	0	0	0
1	0000	0	0	0	0	0	0	0	0	0
2	0000	0	0	0	0	0	0	0	0	0
3	0000	0	0	0	0	0	0	0	0	0
4	0000	0	0	0	0	0	0	0	0	0
5	0000	0	0	0	0	0	0	0	0	0
6	0000	0	0	0	0	0	0	0	0	0
7	0000	0	0	0	0	0	0	0	0	0
~	~	~	~	~	~	~	~	~	~	~

Registre d'Echange de la Mémoire de Microprogrammation

The diagram illustrates the internal logic of the sequencer. It features three registers: Aig3 (containing 000), Aig2 (containing 1, 2, 3, 4), and Aig1 (containing 0). Aig3 is labeled 'COP1-2_MA'. Aig2 is labeled 'Adresse de début du litch'. Aig1 is labeled 'Phase1'. A 'Plus 1' label indicates an increment operation. The control logic includes a 'Condition: 0' block with a 'False' output, and a 'Registre-Adresse de la memoire de microprogrammation' containing the value 0000. The memory exchange register is currently empty.